

СИСТЕМА УДАЛЕННОГО РЕКОНФИГУРИРОВАНИЯ, ОТЛАДКИ, ТЕСТИРОВАНИЯ И СИНХРОНИЗАЦИИ КАРТ НАКАМЕРНОЙ ЭЛЕКТРОНИКИ ДЛЯ ДЕТЕКТОРА ТРС/MPD ПРОЕКТА NICA

В рамках научной программы ОИЯИ по исследованиям в области физики высоких энергий ведется работа над проектом создания ускорительного комплекса NICA (Nuclotron based Ion Collider fAcility). Для изучения физических процессов, происходящих при столкновении тяжелых ионов, разработан многоцелевой детектор (Multi-Purpose Detector, MPD), который будет размещен в одной из точек взаимодействия коллайдера NICA. В качестве трекового детектора для экспериментальной установки MPD выбрана Время-проекционная камера (Time-Projection Chamber, TPC), предназначенная для трехмерного трекинга и идентификации частиц. TPC содержит 95232 канала регистрации, включает в себя 1488 карт камерной электроники (Front-End Card, FEC) и другие модули, сгруппированные в 24 подсистемы сбора данных (Data Acquisition System, DAQ). Одним из таких модулей является разрабатываемое устройство, предназначенное для обеспечения синхронности работы камерной электроники и дополнительного канала доступа для цифровой части подсистемы сбора данных. В данном устройстве предусмотрены два функциональных узла, которые будут реализованы на одной печатной плате.

Первый функциональный узел разработан для обеспечения удаленного доступа к микросхемам ПЛИС (Программируемая Интегральная Логическая Схема) элементов подсистемы DAQ, установленных на регистрирующей камере. Разработка данного функционального узла основывается на ранее созданном и протестированном прототипе. Основой элементной базы данной части устройства является микросхема SCANSTA112 на базе интерфейса JTAG (Joint Test Action Group), в функциональном плане представляющая собой коммутатор интерфейса на 7 выходных портов. В схеме устройства используется 11 микросхем, соединенных иерархически, таким образом, что один из выходов каждой вышестоящей микросхемы соединен с входом нижестоящей микросхемы. Такая схема обеспечивает наличие необходимого количества портов JTAG для подключения к 62 картам FEC и контроллеру-концентратору данных, а также запасные порты. Для улучшения качества передачи сигналов JTAG при увеличенной длине линий и увеличенной частоте работы интерфейса были созданы и испытаны конверторы логических уровней LVCMOS-LVDS-LVCMOS (Low Voltage Complementary Metal Oxide Semiconductor, Low Voltage Differential Signaling).

Второй функциональный узел предназначен для синхронизации работы карт FEC на регистрирующей камере и выполняет задачу размножения (fanout buffer) пяти внешних синхросигналов, включая сигнал сброса, триггера данных и три типа опорных тактовых частот. Для этой цели используются специализированные fanout микросхемы, работающие в физическом стандарте LVDS. Разработка данного функционального узла основывается на ранее созданном и протестированном прототипе, выполняющего функцию размножения опорной тактовой частоты трансиверов ПЛИС 62 карт FEC. Для передачи синхросигналов на карты FEC применяются специально разработанные кабельные сборки на основе высокочастотных разъемов и микрокоаксиальных кабелей.

Перед началом разработки устройства были проведены комплексные испытания прототипов функциональных узлов. Полученные результаты испытаний были учтены при проектировании принципиальной схемы устройства. Размер и конфигурация печатной платы устройства, а также ее будущее положение были определены наличием свободного пространства в месте установки элементов подсистемы DAQ. Создание полнофункционального образца устройства и начало его испытаний намечено на вторую половину 2024 г.

Section

Nuclear physics (Section 1)

Primary authors: ПОТАПОВ, Denis (JINR); Mr VERESHCHAGIN, Stepan (JINR)

Presenter: POTAPOV, Denis (JINR)

Track Classification: The V International Scientific Forum “Nuclear Science and Technologies”: Nuclear physics (Section 1)